

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

Partial Translation

Japanese patent application Laid-open No. H8-64872

[0024] Through etching process of the GaN layer 41 in the n-type semiconductor layer 4, a n-side electrode 9 is formed on the removed and exposed surface of the GaN layer 41 and a p-side electrode 10 is formed on the surface of the GaN layer in the p-type semiconductor layer 6. The n-side electrode 9 and the p-side electrode 10 have structure as shown in FIG. 2.

[0025] On the contrary, as shown in FIG. 3, submount material 11 of the light-emitting semiconductor device 1 in the first embodiment is a layer obtained by forming SiO_2 insulation oxide layer 13 on the surface of a transparent silicon substrate 12 having conductivity, carrying out etching to remove the central portion of the insulation oxide layer 13 and form a supplemental p-side electrode layer 14, and forming a supplemental n-side electrode layer 15 on the periphery surface of the oxide layer 13. The supplemental electrode layers 14 and 15 are formed by depositing an alloy of Au and Sn or an alloy of In, and each of them functions as both an electrode and a metal for solder as described below.

[0026] The supplemental p-side electrode layer 14 and the supplemental n-side electrode layer 15 have structure shown in FIG. 4. Additionally, as shown in FIG. 4, a supplemental

n-side electrode layer 15a in a band shape which conducts to two portion of the supplemental n-side electrode layer 15 is formed on a side of the silicon substrate 12 at the surface of the insulation oxide layer 13.

[0027] Next, the light-emitting semiconductor device 1 and a method for manufacturing it by joining and uniting the device 2 comprising the above-described structure and the submount material 11 are explained hereinafter.

[0028] After forming a device 2 and the submount material 11 separately, they are arranged to face with each other at each of their surface side and the supplemental n-side electrode layer 15 and the supplemental p-side electrode layer 14 of the submount material 11 are soldered to the n-side electrode 9 and the p-side electrode 10 in the device 2, respectively. Because both of the supplemental electrode layers 15 and 14 in the submount material 11 function as metal solder, this soldering process is carried out by accordingly vitrifying the supplemental electrode layers 15 and 14.

[0029] As a result, light is emitted from the back surface 3a of the sapphire substrate 3 of the device 2 as illustrated by arrows shown in FIG. 5. Additionally, while the p-side electrode 10 in the device 2 is conductive to the silicon substrate 12 in the submount material 11, the n-side electrode 9 in the device 2 is insulative to the silicon substrate 12. Here height of the layer lamination part 7 in the device 2 in FIG. 1 is rather longer compared with height

of the layer lamination part 7 in FIG. 5.

[0030] In order to place the light-emitting semiconductor device 1 obtained through above-described processes on the lead frame 17, the bottom plane of the submount material 11 is bonded conductive to the upper surface of the p-side terminal part 16 of the lead frame 16 and a wire bonding 17 is formed between the band-shape supplemental n-side electrode layer 15a of the submount material 11 and the n-side terminal part 16b of the lead frame 16.

[0031] As a result, the p-side electrode 10 in the device 2 becomes conductive through the conductive silicon substrate 12 to the p-side terminal part 16a of the lead frame 16, and the n-side electrode 9 of the device 2 becomes conductive through the wire 17 to the n-side terminal part 16b of the lead frame 16. Then, by sealing the periphery of the light-emitting semiconductor device 1 by resin, an LED lump which emits blue light can be obtained.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-064872

(43)Date of publication of application : 08.03.1996

(51)Int.Cl.

H01L 33/00

(21)Application number : 06-194224

(71)Applicant : ROHM CO LTD

(22)Date of filing : 18.08.1994

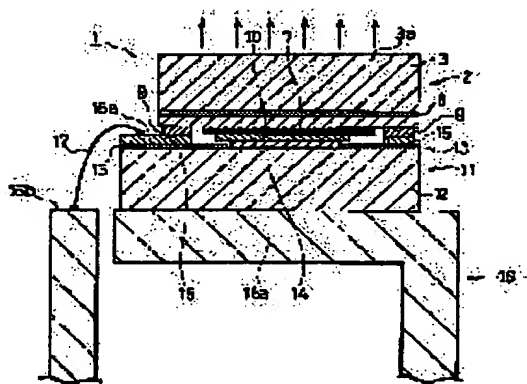
(72)Inventor : SHAKUDA YUKIO

(54) SEMICONDUCTOR LIGHT EMITTING ELEMENT AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To simply conduct a wiring operation and to increase a substantial light emitting region of a semiconductor light emitting element as much as possible by deleting the number of bonding wires for the lead frame, etc., of the element.

CONSTITUTION: The semiconductor light emitting element comprises an element assembly 2 composed by forming semiconductor layers on the surface of a transparent insulating board 3 and forming an N-type side electrode 9 and a P-type side electrode 10 at predetermined positions of the layers, and a sub-mounting member 11 having an auxiliary N-type side electrode layer 15 so formed as to reach an insulating state from the surface of the conductive substrate 12 and an auxiliary P-type side electrode layer 14 so formed as to reach a continuity state. Accordingly, both the surface sides of the member 11 and the assembly 2 are oppositely disposed, and the member 11 is integrated with the assembly 2 so as to each conductive states between the layer 15 and the electrode 9 and between the layer 14 and the electrode 10.



LEGAL STATUS

[Date of request for examination] 22.09.2000

[Date of sending the examiner's decision of rejection] 06.08.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2002-17071

[Date of requesting appeal against examiner's decision of rejection] 05.09.2002

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-64872

(43) 公開日 平成8年(1996)3月8日

(51) Int.Cl.⁸

H 0 1 L 33/00

識別記号

N

C

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数4 O L (全7頁)

(21) 出願番号 特願平6-194224

(22) 出願日 平成6年(1994)8月18日

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(72) 発明者 尺田 幸男

京都市右京区西院溝崎町21番地 ローム株式会社内

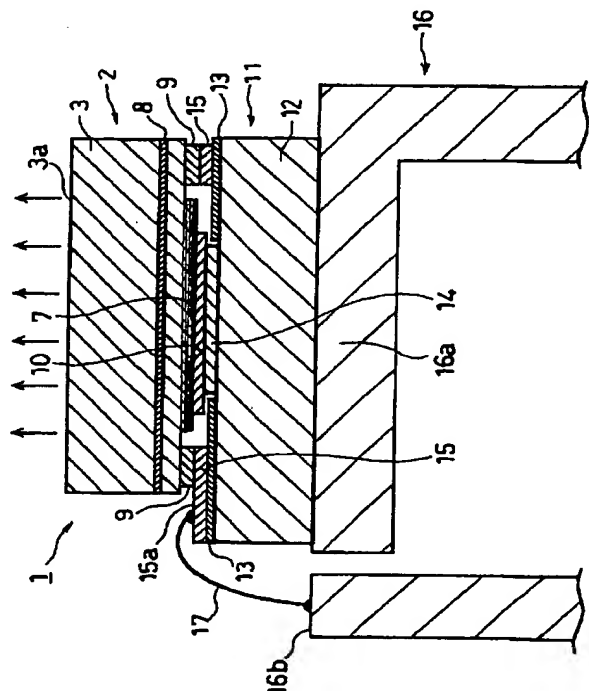
(74) 代理人 弁理士 吉田 稔 (外2名)

(54) 【発明の名称】 半導体発光素子、およびその製造方法

(57) 【要約】

【目的】 半導体発光素子のリードフレーム等に対するワイヤボンディングの個数を削減して、その結線作業を簡便に行えるようにするとともに、半導体発光素子における実質的発光領域を可及的に増大させる。

【構成】 透明の絶縁性基板3の表面上に各半導体層4, 5, 6を形成しかつ各層の所定箇所にN側電極9およびP側電極10を形成して構成される素子本体2と、導電性基板12の表面に対して絶縁状態となるように形成された補助N側電極層15および導通状態となるように形成された補助P側電極層14を有するサブマウント部材11と、を備え、上記サブマウント部材11と上記素子本体2との双方の表面側を相互に対向させて配置し、かつ上記補助N側電極層15と上記N側電極9との間、および上記補助P側電極層14と上記P側電極10との間がそれぞれ導通状態となるように、上記サブマウント部材11と上記素子本体2とを一体化させる。



【特許請求の範囲】

【請求項 1】 透明の絶縁性基板の表面上に N 型半導体層、発光層、および P 型半導体層を形成しかつ上記 N 型半導体層および P 型半導体層のそれぞれの露出表面部に N 側電極および P 側電極を形成して構成される素子本体と、

導電性基板の表面に対して絶縁状態となるように形成された補助 N 側電極層および導通状態となるように形成された補助 P 側電極層を有するサブマウント部材と、を備えたとともに、

上記サブマウント部材と上記素子本体との双方の表面側を相互に対向させて配置し、かつ、上記補助 N 側電極層と上記 N 側電極との間、および上記補助 P 側電極層と上記 P 側電極との間がそれぞれ導通状態となるように、上記サブマウント部材と上記素子本体とを一体化させたことを特徴とする、半導体発光素子。

【請求項 2】 上記サブマウント部材の補助 N 側電極層および補助 P 側電極層の表面部分は絶縁層で覆われており、この絶縁層には上記双方の補助電極層にそれぞれ独立して通じる各貫通孔が穿設され、かつ上記絶縁層の表面側には各貫通孔を介して上記双方の補助電極層にそれぞれ導通状態となる各付着用金属層が相互に独立して形成されているとともに、この各付着用金属層は、上記素子本体の双方の電極に対して接合付着された状態となるように構成されている、請求項 1 に記載の半導体発光素子。

【請求項 3】 上記請求項 1 に記載した半導体発光素子の製造方法であって、上記素子本体と上記サブマウント部材とを別々に製作した後に、上記素子本体の表面側と上記サブマウント部材の表面側とを対向させた状態の下で、上記補助 N 側電極層と上記 N 側電極、および上記補助 P 側電極層と上記 P 側電極とをそれぞれ直接的に接合させるようにしたことを特徴とする、半導体発光素子の製造方法。

【請求項 4】 上記請求項 2 に記載した半導体発光素子の製造方法であって、上記素子本体を作製する第 1 の工程と、上記サブマウント部材を作製した後に、その表面部分に対して上記絶縁層を形成し、この後、その絶縁層に上記各貫通孔を穿設し、しかる後、その絶縁層の表面側に上記各付着用金属層を形成する第 2 の工程とを別々に実行し、その後、上記素子本体の表面側と上記サブマウント部材の表面側とを対向させた状態の下で、上記 P 側電極および N 側電極と上記各付着用金属層とを直接的に接合させるようにしたことを特徴とする、半導体発光素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本願発明は、半導体発光素子およびその製造方法に関し、特に発光作用を行わせるための

素子本体に対してサブマウント部材を付加的に取り付けて構成される半導体発光素子およびその製造方法に関する。

【0002】

【従来の技術】 近年においては、有機金属化学気相成長法（以下、MOCVD 法という）を利用して、サファイア基板上に窒化ガリウム系化合物半導体の結晶を成長させることなどにより、高輝度特性を備えた青色発光用の半導体発光素子が開発されるに至っている。

【0003】 上記高輝度の青色発光用半導体発光素子は、図 9 に示すように、透明のサファイア基板 70 上に GaN のバッファ層 71 を成長させ、このバッファ層 71 の表面上に、N 型半導体層 72（GaN 層、AlGa N 層）、発光層 73（InGa N 層）、および P 型半導体層 74（AlGa N 層、GaN 層）を積層状に成長させたものである。そして、上記 N 型半導体層 72 における GaN 層と、P 型半導体層 74 における GaN 層とに、N 側電極 75 および P 側電極 76 がそれぞれ形成される。

【0004】 一方、被マウント部材である図示例のリードフレーム 77 に対する上記半導体発光素子の取り付け構造は、上記 N 側電極 75 および P 側電極 76 を双方共に、ワイヤ 78、79 を用いてリードフレーム 77 の N 側端子部 77a と P 側端子部 77b とにそれぞれボンディングされた状態にある。そして、このように取り付けられた半導体発光素子は、同図に矢印で示すように、上記電極 76 の配設側の面から光を発するように構成されている。

【0005】

【発明が解決しようとする課題】 ところで、上記従来の半導体発光素子は、リードフレーム等の被マウント部材における 2 箇所に対してワイヤボンディングを施す必要があり、その搭載作業あるいは結線作業の工程数が増加するなどして、作業の煩雑化ならびに複雑化を余儀なくされているのが実情であった。

【0006】 また、この種の半導体発光素子は、電極の配設面側から光から発せられる構成であることから、図 10 に示すように、発光領域 A 内に電極 76 が存在しており、この電極 76 の配設箇所は非発光部となる。したがって、実質的発光領域は上記電極 76 に相当する分だけ狭くなり、図示例のものでは、素子全体中に占める実質的発光領域は全表面積の $1/2$ 以下になる。この結果、上述のように高輝度特性を備えているにも拘らず、十分な発光量を得ることができず、各種表示ボード等への使用時における高い明度の要請に応じることが困難になるという問題を有している。

【0007】 本願発明は、上述の事情のもとで考え出されたものであって、半導体発光素子の被マウント部材に対するワイヤボンディングの個数を削減して、その結線作業を簡便に行えるようにするとともに、半導体発光素

子における実質的発光領域を可及的に増大させて十分な発光量の確保および明度の向上を図ることをその課題とする。

【0008】

【課題を解決するための手段】上記の課題を解決するため、本願発明では、次の技術的手段を講じている。

【0009】すなわち、本願の請求項1に記載した発明は、透明の絶縁性基板の表面上にN型半導体層、発光層、およびP型半導体層を形成しかつ上記N型半導体層およびP型半導体層のそれぞれの露出表面部にN側電極およびP側電極を形成して構成される素子本体と、導電性基板の表面に対して絶縁状態となるように形成された補助N側電極層および導通状態となるように形成された補助P側電極層とを有するサブマウント部材と、を備えるとともに、上記サブマウント部材と上記素子本体との双方の表面側を相互に対向させて配置し、かつ、上記補助N側電極層と上記N側電極との間、および上記補助P側電極層と上記P側電極との間がそれぞれ導通状態となるように、上記サブマウント部材と上記素子本体とを一体化させたことを特徴としている。

【0010】また、本願の請求項2に記載した発明は、上記サブマウント部材の補助N側電極層および補助P側電極層の表面部分は絶縁層で覆われており、この絶縁層には上記双方の補助電極層にそれぞれ独立して通じる各貫通孔が穿設され、かつ上記絶縁層の表面側には各貫通孔を介して上記双方の補助電極層にそれぞれ導通状態となる各付着用金属層が相互に独立して形成されているとともに、この各付着用金属層は、上記素子本体の双方の電極に対して接合付着された状態となるように構成されていることを特徴としている。

【0011】一方、本願の請求項3に記載した発明は、上記請求項1または2に記載した半導体発光素子の製造方法であって、上記素子本体と上記サブマウント部材とを別々に製作した後に、上記素子本体の表面側と上記サブマウント部材の表面側とを対向させた状態の下で、上記補助N側電極層と上記N側電極、および上記補助P側電極層と上記P側電極とをそれぞれ直接的に接合させるようにしたことを特徴としている。

【0012】また、本願の請求項4に記載した発明は、上記請求項3に記載した半導体発光素子の製造方法であって、上記素子本体を作製する第1の工程と、上記サブマウント部材を作製した後に、その表面部分に対して上記絶縁層を形成し、この後、その絶縁層に上記各貫通孔を穿設し、しかる後、その絶縁層の表面側に上記各付着用金属層を形成する第2の工程とを別々に実行し、その後、上記素子本体の表面側と上記サブマウント部材の表面側とを対向させた状態の下で、上記P側電極およびN側電極と上記各付着用金属層とを直接的に接合させるようにしたことを特徴としている。

【0013】

【発明の作用および効果】上記請求項1に記載した発明によれば、リードフレーム等のP側端子部に対して、上記半導体発光素子のサブマウント部材をボンディングすることにより、素子本体のP側電極は、サブマウント部材の補助P側電極層から導電性基板を介して上記リードフレーム等のP側端子部に導通した状態となる。したがって、素子本体のP側電極に対するワイヤボンディングが不要になり、この種の半導体発光素子のマウント作業あるいは結線作業が簡便化されるという利点が得られる。

【0014】さらに、上記素子本体からの発光は、両電極の配設面とは反対側の面であるサファイア基板の裏面からなされることになり、従来のようにP側電極が発光を阻害することはなくなる。これにより、サファイア基板の裏面の大半が実質的発光領域となり、十分な発光量を確保できるとともに、この種の半導体発光素子の使用時における高い明度の要請に応じることが可能になる。

【0015】また、上記素子本体の発光層からサブマウント部材側に発せられた光は、サブマウント部材の表面の補助電極層等で反射することになるので、上記素子本体におけるサファイア基板の裏面からのトータル発光量は、上記の反射光をも含んでさらに増大し、より高い明度を得ることが可能になる。

【0016】また、上記請求項2に記載した発明によれば、上記サブマウント部材の両電極の表面部分を覆っている絶縁層のさらに表面側に独立して形成されている各付着用金属層を、上記素子本体の両電極に接合付着させるだけで、上記サブマウント部材の両補助電極を上記素子本体の両電極に対して導通状態にできるようになる。したがって、上記サブマウント部材と上記素子本体との電気的接続作業が簡単に行えるとともに、その相対的位置誤差についても厳格な制約が緩和され、位置決めあるいは位置合わせの自由度が増大する。

【0017】一方、上記請求項3に記載した発明によれば、素子本体とサブマウント部材とを別々に製作した後に、この両者を表面側どうしを対向させて両補助電極と両電極とを接合させることにより、上述の請求項1または2に記載した半導体発光素子が得られる。このような手法によれば、上記両者を別々に製作する段階において量産化が促進されるとともに、この種の半導体発光素子に新たな構成要素であるサブマウント部材を付加したにも拘らず、製作作業の複雑化が効果的に回避される。

【0018】また、上記請求項4に記載した発明においても、同様にして、量産化の促進が図られるとともに、製作作業の複雑化が回避される。

【0019】

【実施例の説明】以下、本願発明の好ましい実施例を、図面を参照しつつ具体的に説明する。

【0020】図1は本願発明の第1実施例に係る半導体発光素子の構成要素である素子本体を示す概略縦断正面

図、図2はその概略平面図、図3は上記半導体発光素子の構成要素であるサブマウント部材を示す概略縦断正面図、図4はその概略平面図、図5は上記半導体発光素子の全体構成ならびにリードフレームへの取り付け状態を示す概略縦断面図である。

【0021】図1に示すように、第1実施例に係る半導体発光素子1の素子本体2は、基本的には、絶縁基板であるサファイア基板3上に、N型半導体層4と、発光層5と、P型半導体層6とを備えて構成される積層部7を形成したものである。詳細には、上記積層部7は、透明または半透明のサファイア基板3の表面上に窒化ガリウム(GaN)のバッファ層8を成長させ、その表面側に、下層部分から順に、N型GaNの層41と、N型Al_{0.2}Ga_{0.8}Nの層42と、発光層としてのIn_{0.15}Ga_{0.85}Nの層5と、P型Al_{0.2}Ga_{0.8}Nの層61と、P型GaNの層62と、を形成したものである。そして、上記発光層5からは、青色に対応した波長(好ましくは470nm)の光が発せられるようになっている。

【0022】加えて、上記N型GaNの層41およびN型Al_{0.2}Ga_{0.8}Nの層42には、Siが添加され、P型Al_{0.2}Ga_{0.8}Nの層61およびP型GaNの層62には、Mgが添加されているとともに、上記In_{0.15}Ga_{0.85}Nの層5にはZnが添加されている。そして、上記In_{0.15}Ga_{0.85}Nの層5におけるInのGaに対する組成比(混晶比)を増加させた場合には、この層5から発せられる光の波長が長くなるとともに、上記Znの添加量を増加させた場合には、上記組成比を増加させた場合よりもさらに光の波長が長くなるという特性を備えている。なお、上記各層の厚みは、下層側から各層41、42、5、61、62のそれぞれの順に、たとえば3μm、300nm、50nm、300nm、150nmに設定されている。

【0023】上記図示例の素子本体2は、最終的に単一のチップとして得られるたとえば平面視が一辺0.5mmの正形状のものであるが、実際の製造に際しては、MOCVD法により上記図示例の構造のものを所定面積のウエハとして一括して形成した後、ダイシングにより上記単一のチップに分割することにより得られる。

【0024】そして、上記N型半導体層4におけるGaN層41のエッチングにより除去した露出表面部にN側電極9が形成され、P型半導体層6におけるGaN層の表面部にP側電極10が形成されている。なお、このN側電極9とP側電極10とは、概略的には、図2に示すような平面視形状とされた上で配設されている。

【0025】一方、図3に示すように、この第1実施例に係る半導体発光素子1のサブマウント部材11は、不透明の導電性を有するシリコン基板12の表面にSiO₂でなる絶縁酸化皮膜13を形成し、その中央部をエッチングで除去して補助P側電極層14を形成し、かつそ

の外周側における上記酸化皮膜13の表面部に補助N側電極層15を形成したものである。この双方の補助電極層14、15は、AuとSnとの合金あるいはインジウム系の合金を使用して蒸着により形成したものであり、後述するように電極とハンダ用メタルとを兼用するものである。

【0026】そして、上記補助P側電極層14と補助N側電極層15とは、概略的には、図4に示すような平面視形状とされた上で配設されている。加えて、同図に示すように、シリコン基板12の一側部には、2箇所の補助N側電極層15に導通される帯状の補助N側電極層15aが、上記絶縁酸化皮膜13の表面部に形成されている。

【0027】次に、上記の構成を備えた素子本体2とサブマウント部材11とを接合一体化させて半導体発光素子1を製造する方法、ならびにこれによって得られる半導体発光素子1の構成について説明する。

【0028】まず、上記素子本体2とサブマウント部材11とを別々に製作した後に、この両者の表面側どうしを対向させて配置し、素子本体2のN側電極9およびP側電極10に対してそれぞれ、サブマウント部材11の補助N側電極層15および補助P側電極層14をハンダ付けする。このはんだ付け作業は、上記サブマウント部材11の双方の補助電極層15、14がハンダ用メタルを兼用していることから、これらの補助電極層15、14を適宜溶融固化させることにより行われる。

【0029】この結果、図5に示すように、素子本体2のサファイア基板3の裏面3aから矢印で示すように光が発せられる状態になる。加えて、上記素子本体の2のP側電極10はサブマウント部材11のシリコン基板12に導通状態となる一方、素子本体2のN側電極9は上記シリコン基板12に対して絶縁状態となる。なお、図1に示す素子本体2の積層部7の高さ寸法は、図5に示す積層部7の高さ寸法と比較して、説明の便宜上、長尺になっている。

【0030】そして、上記のようにして得られた半導体発光素子1をリードフレーム17上に搭載するには、同図に示すように、リードフレーム16のP側端子部16aの上面部に上記サブマウント部材11の下面が導通状態になるようにボンディングされるとともに、サブマウント部材11の上記帯状の補助N側電極層15aとリードフレーム16のN側端子部16bとの間にワイヤボンディング17が施される。

【0031】これにより、上記素子本体2のP側電極10は、導電性シリコン基板12を通じてリードフレーム16のP側端子部16aに導通状態とされ、かつ上記素子本体2のN側電極9は、ワイヤ17を通じてリードフレーム16のN側端子部16bに導通状態とされる。この後は、上記半導体発光素子1の外周部を樹脂封止することなどによって、青色発光用のLEDランプが得られ

る。

【0032】このような構成とすることにより、素子本体2の透明サファイア基板3の裏面3aにおけるN側電極9の形成箇所以外の領域が発光領域となり、上記表面3aの全面積の約75%が発光領域として利用される。したがって、従来のように電極による発光阻害が激減され、十分な発光量および高い明度を有する発光デバイスが得られることになる。

【0033】加えて、上記素子本体2の発光層5から下方に向かって発せられた光は、不透明のサブマウント部材11（補助電極層14、15）で反射された後、サファイア基板3の裏面3aから外方に向かって照射されることになるので、光き利用効率が向上するという利点も得られる。

【0034】さらに、上記サブマウント部材11を使用したことにより、P側電極10に対するワイヤボンディングが不要になり、結線作業の簡便化ならびに製作容易化が図られることになる。

【0035】次に、本願発明に係る半導体発光素子1の第2実施例を、図6、7、8を参照しつつ説明する。なお、以下の第2実施例の説明に際して、上述の第1実施例と共通の構成要件については同一符号を付してその説明を省略する。

【0036】この第2実施例に係る半導体発光素子1が上述の第1実施例と異なる点は、図6および図7に示すように、素子本体2の表面全域をCVD法を用いて SiO_2 や Si_3N_4 等からなる絶縁層18で覆うとともに、この絶縁層18にN側電極9およびP側電極10にそれぞれ通じる貫通孔19、20を穿設し、かつ上記絶縁層18の表面部にAuとSnとの合金あるいはインジウム系の合金等である金属層21、22を相互に独立して形成した点にある。この場合、上記各貫通孔19、20には、上記各金属層21、22が埋設されることになるので、上記一方の金属層21は上記N側電極9に導通した状態になり、他方の金属層22は上記P側電極10に導通した状態になる。

【0037】なお、サブマウント部材11の構成は、図7に示す各金属層21、22の平面視における形状および配設状態に対応して補助N側電極層15と補助P側電極層14とが形成されており、その他の部分、たとえば補助N側電極層15が SiO_2 等の絶縁性皮膜13を介して形成されている点などについては上述の第1実施例と同一の構成である。

【0038】そして、上記素子本体2とサブマウント部材11とは、両者の表面側どうしが対向配置された状態で、図8に示すように各金属層21、22と各補助電極層15、14とが接合一体化されることにより、半導体発光素子1が得られる。また、図示の構成によっても、上記素子本体2のP側電極10はリードフレーム16の

P側端子部16aに導電性シリコン基板12を介して導通状態とされ、かつ上記素子本体2のN側電極9はリードフレーム16のN側端子部16bにワイヤ17を介して導通状態とされる。

【0039】そして、この場合には、各金属層21、22と各補助電極層15、14との位置合わせが容易に行えることから、これらの両層の接合作業（ハンダ付け作業）、ひいては素子本体2とサブマウント部材11との接合作業が極めて簡便に行えることになる。

【0040】また、この第2実施例によっても、上記第1実施例と同様に、十分な発光量を確保できることは言うまでもない。

【図面の簡単な説明】

【図1】本願発明の第1実施例に係る半導体発光素子の構成要素である素子本体を示す概略縦断正面図である。

【図2】上記第1実施例に係る素子本体の概略平面図である。

【図3】上記第1実施例に係る半導体発光素子の構成要素であるサブマウント部材の概略縦断正面図である。

【図4】上記第1実施例に係るサブマウント部材の概略平面図である。

【図5】上記第1実施例に係る半導体発光素子の全体構成ならびにその被マウント部材への取り付け状態を示す概略縦断側面図である。

【図6】本願発明の第2実施例に係る半導体発光素子の構成要素である素子本体を示す概略縦断正面図である。

【図7】上記第2実施例に係る素子本体の概略平面図である。

【図8】上記第2実施例に係る半導体発光素子の全体構成ならびにその被マウント部材への取り付け状態を示す概略縦断側面図である。

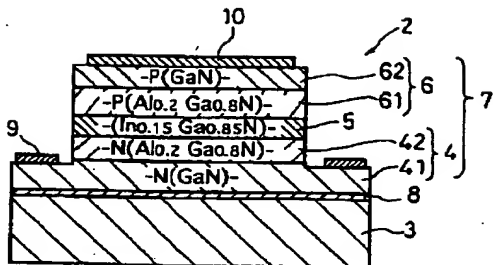
【図9】従来の半導体発光素子の全体構成ならびにその被マウント部材への取り付け状態を示す概略縦断側面図である。

【図10】従来の半導体発光素子の概略平面図である。

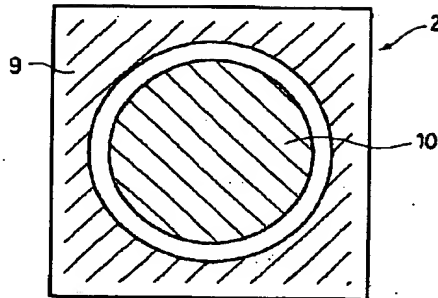
【符号の説明】

- 1 半導体発光素子
- 2 素子本体
- 3 透明絶縁性基板（サファイア基板）
- 4 N型半導体層
- 5 発光層
- 6 P型半導体層
- 9 N側電極
- 10 P側電極
- 11 サブマウント部材
- 12 導電性基板（シリコン基板）
- 14 補助P側電極層
- 15 補助N側電極層

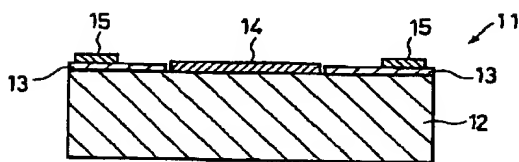
【図 1】



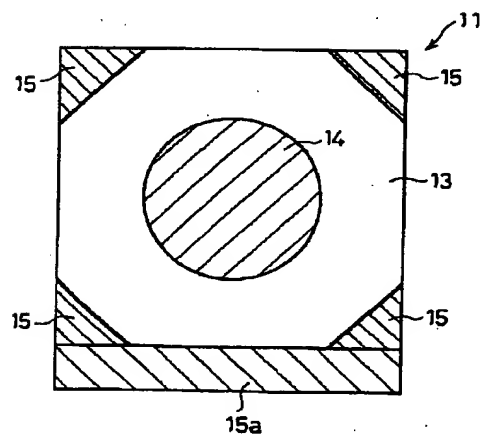
【図 2】



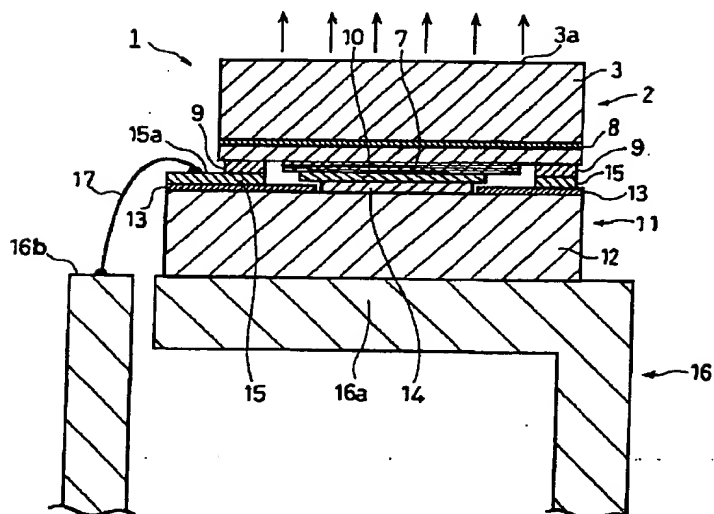
【図 3】



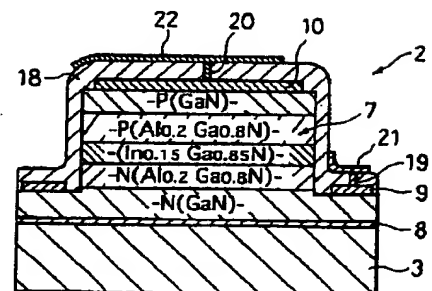
【図 4】



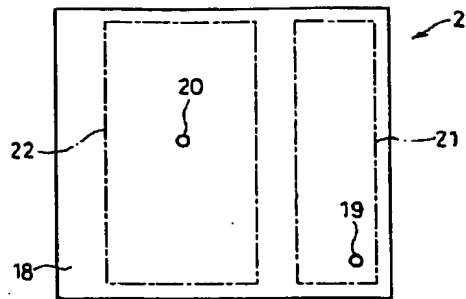
【図 5】



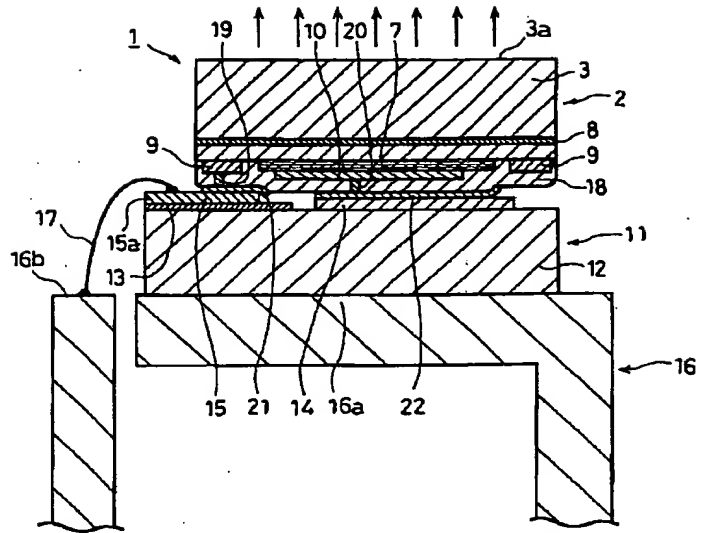
【図 6】



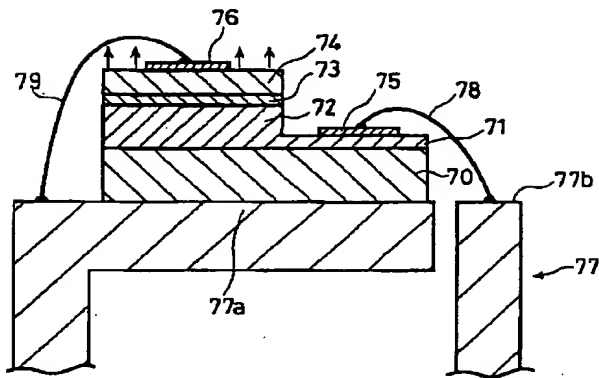
【図 7】



【図 8】



【図 9】



【図 10】

